

## Abstract of Reference 1

## BUFFER MEMORY MANAGEMENT DEVICE

**Publication number:** JP9238163 (A)**Publication date:** 1997-09-09**Inventor(s):** NANDAKUMAARU NATARAJIYAN; DOUEIN BANETSUTO; ROBAATO GURANTO**Applicant(s):** HEWLETT PACKARD CO**Classification:**

- **International:** G06F13/12; G06F13/00; G06F13/40; H04B10/08; G06F13/12; G06F13/00; G06F13/40; H04B10/08; (IPC1-7): H04L12/56; G06F13/00; G06F13/12; H04B10/08

- **European:** G06F13/40D2

**Application number:** JP19960256521 19960927**Priority number(s):** US19950536290 19950929**Also published as:**

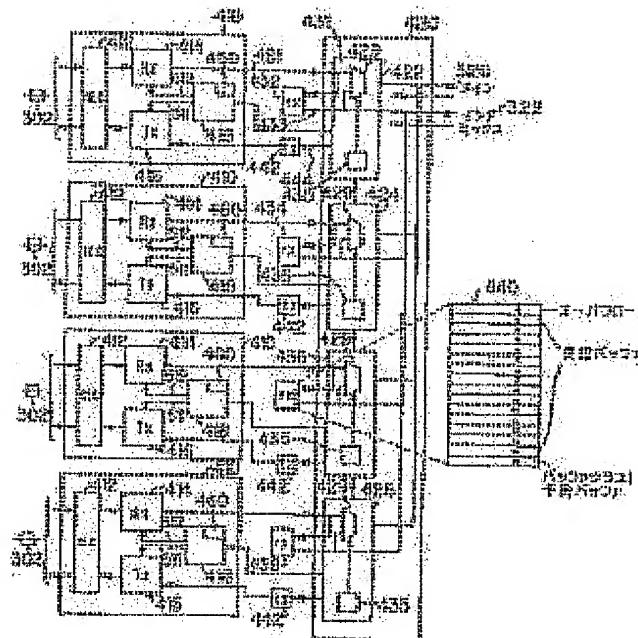
EP0766429 (A2)

EP0766429 (A3)

CA2182539 (A1)

## Abstract of JP 9238163 (A)

**PROBLEM TO BE SOLVED:** To improve the flexibility and the functionality of buffer memory management by discriminating whether or not a buffer memory is used for reception of frames so as to store received frame efficiently. **SOLUTION:** An optical fiber channel exchange is provided with plural ports 302 and supports frame transmission of equipments coupled with the ports. Buffer memories 432, 434, 436, 438 or the like for each port 302 store the received frame till the path to a destination port is decided tentatively. Each state device 460 stores buffer state information representing whether or not the corresponding buffer memories 432, 434, 436, 438 are used for frame reception. A state/control logic circuit 418 analyzes the buffer state information and stores the reception frame from each port 302 sequentially to the available buffer memory. Thus, the circuit 418 accesses in parallel with a plurality of buffer memories.



Data supplied from the esp@cenet database — Worldwide

# Reference 1

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-238163

(43) 公開日 平成9年(1997)9月9日

(51) Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 04 L 12/56		9466-5K	H 04 L 11/20	1 0 2 B
G 06 F 13/00	3 5 3		G 06 F 13/00	3 5 3 Q
13/12	3 3 0		13/12	3 3 0 G
H 04 B 10/08			H 04 B 9/00	K

審査請求 未請求 請求項の数1 OL (全10頁)

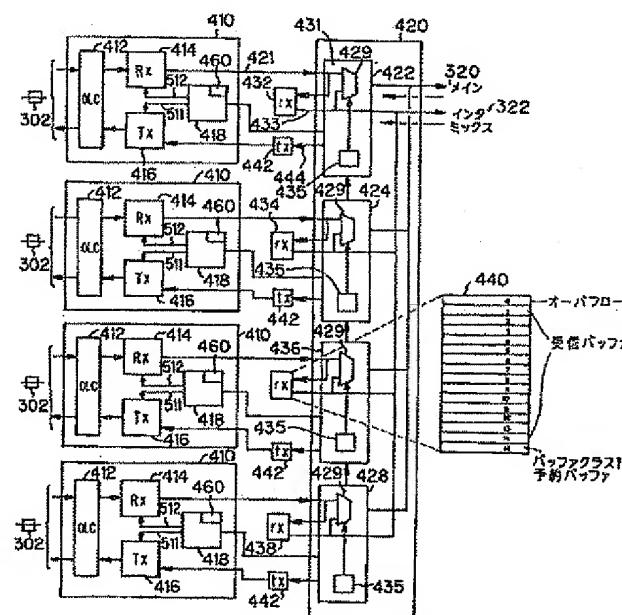
(21) 出願番号	特願平8-256521	(71) 出願人	590000400 ヒューレット・パッカード・カンパニー アメリカ合衆国カリフォルニア州パロアルト ハノーバー・ストリート 3000
(22) 出願日	平成8年(1996)9月27日	(72) 発明者	ナンダクマール・ナタラジャン カナダ国 オンタリオ、スカボロー、デン トン・アヴェニュー 30、#725
(31) 優先権主張番号	536-290	(72) 発明者	ドウェイン・パネット カナダ国 オンタリオ、スカボロー、レッ ド・リヴァー・クリッセント 114
(32) 優先日	1995年9月29日	(72) 発明者	ロバート・グラント カナダ国 オンタリオ、トロント、ストラ スコナ・アヴェニュー 54
(33) 優先権主張国	米国(US)	(74) 代理人	弁理士 萩野 平 (外5名)

(54) 【発明の名称】 バッファメモリ管理装置

### (57) 【要約】

【課題】 光ファイバチャネル交換機のメモリ管理システムの性能と機能性を高める。

【解決手段】 複数のポートに結合し第1の装置及び第2の装置の間でフレームの伝送を支援する複数のポート302を有する光ファイバチャネル交換機のバッファメモリ管理装置において、この交換機の宛先ポートおよび関連する装置への経路指定前に、第1の装置から受信したフレームを一時的に記憶する各ポートの複数のバッファメモリ432、434、436、438と、それぞれが選択したバッファメモリに対応し、バッファメモリがフレームの受信に利用できるか否かを表すバッファ状況情報を維持する複数の状態装置460と、バッファ状況情報を分析し、受信フレームが利用可能となった最初の受信ポートの複数のバッファメモリの内の第1の利用可能なバッファメモリに対応する状態装置460を更新する状況/制御論理回路418とを備える。



1ビットシフトすることによってフレームの長さをメモリコントローラに渡し、前記状態手段が有効であることを確認し、送信制御信号を生成することによって、前記バッファメモリからフレームを読み取り、対応する前記状態手段をバッファメモリの可用性を示す空き状態にリセットするリセット制御信号を発行することを特徴とする1～6のいずれかに記載のバッファメモリ管理装置。

【0047】8. 複数のバッファメモリ及び対応する前記状態手段がフレームの送信と並行して、前記第1の装置及び第2の装置からのフレームの受信に備えていることを特徴とする1～7のいずれかに記載のバッファメモリ管理装置。

【0048】9. 前記バッファ状況情報が、「疑わしいフレーム」が前記バッファメモリにあることを示すレギュラーエラー状態情報と、フレーム開始信号を受信し回線交換式サービスを開始することを示すコネクト状態情報と、回線交換式サービス要求に対する「疑わしい」フレーム開始信号が前記バッファメモリにあることを示す状態情報と、前記バッファメモリ内に無用のフレーム開始信号が存在することを示すデッド状態情報のいずれかから構成されることを特徴とする1～8のいずれかに記載のバッファメモリ管理装置。

【0049】10. フレームの送信の際に、フレームを記憶している前記バッファメモリが空き状態又はデッド状態のいずれかの状態であることを受信ポートの前記状態手段が示している場合に、マル信号が伝送され、宛先ファブリックポートにフレームが来ないことを知らせることが特徴とする9に記載のバッファメモリ管理装置。

【0050】

【発明の効果】以上述べたように本発明によれば、受信フレームを宛先ポート及び関連する装置への経路指定前\*

\*に一時的に記憶する複数のバッファメモリと、これらのバッファメモリがフレーム受信に使用できるか否かを判断するためのバッファ状況情報を維持する複数の状態手段と、このバッファ状況情報を受信フレームをいずれかのバッファメモリに記憶させる状況／制御論理手段とを備えたので、効率的に受信フレームを記憶することができ、融通性の高い機能的なバッファメモリ管理装置を実現することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態の光ファイバチャネル交換機のチャネルモジュールの機能構成図である。

【図2】 本実施の形態の光ファイバチャネルシステムの機能構成図である。

【図3】 本実施の形態の光ファイバチャネル交換機の機能構成図である。

【図4】 本実施の形態の光ファイバチャネル交換機のバッファアーキテクチャのアクセスを示す状態装置の構成図である。

【図5】 本実施の形態で使用する可変長フレームの構成図である。

【符号の説明】

302 ポート

320 メインバス

322 インターミックス (IMIX) バス

350 経路割振りシステム

410 ポートインテリジェンスシステム

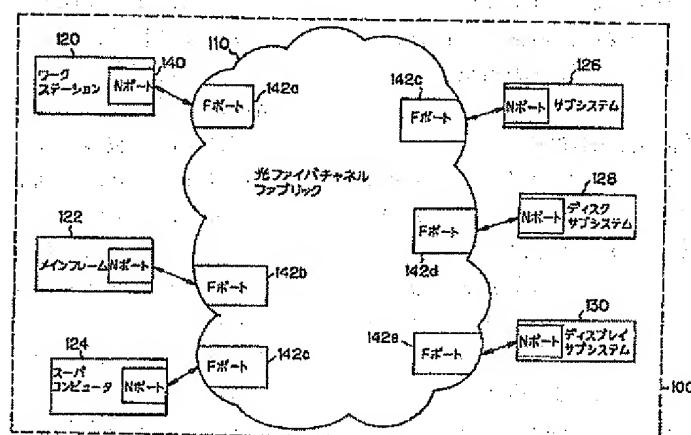
418 状況／制御論理回路

420 メモリインタフェースシステム

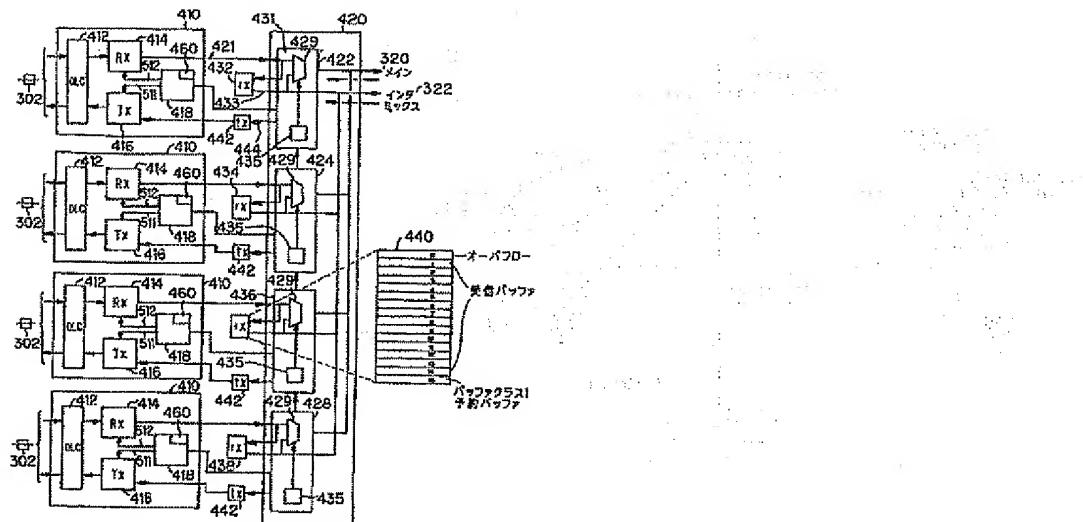
422、424、426、428 メモリインタフェースASIC

432、434、436、438 受信メモリ

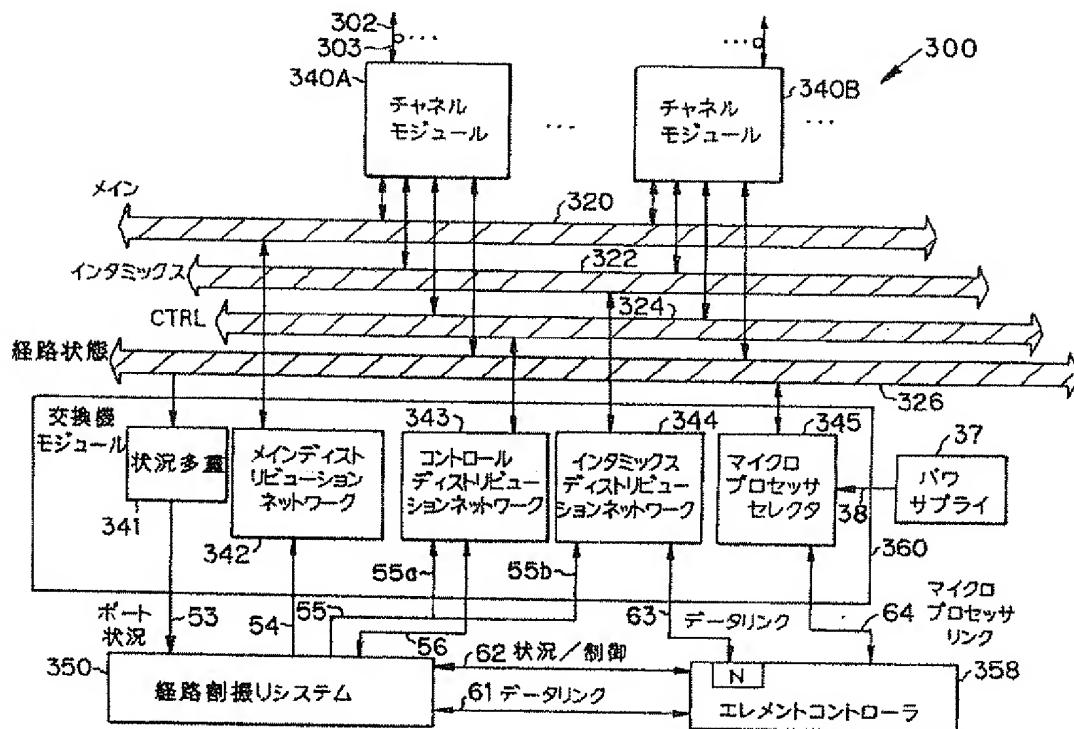
【図2】



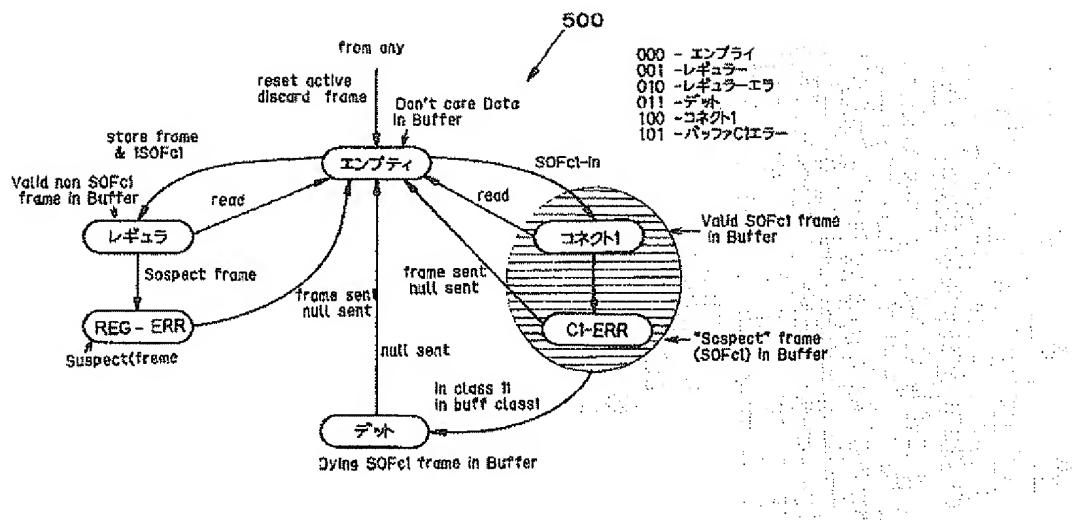
[四一]



[図3]



[図4]



[图 5]

## 11 可変長フレーム

